

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-167840

(43) 公開日 平成9年(1997)6月24日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L	29/78
	21/336			27/06
	21/8234			29/78
	27/06			3 0 1 P
				1 0 2 B
				3 0 1 S
				3 0 1 L

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21) 出願番号 特願平7-347815

(22) 出願日 平成7年(1995)12月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 吉川 良一

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

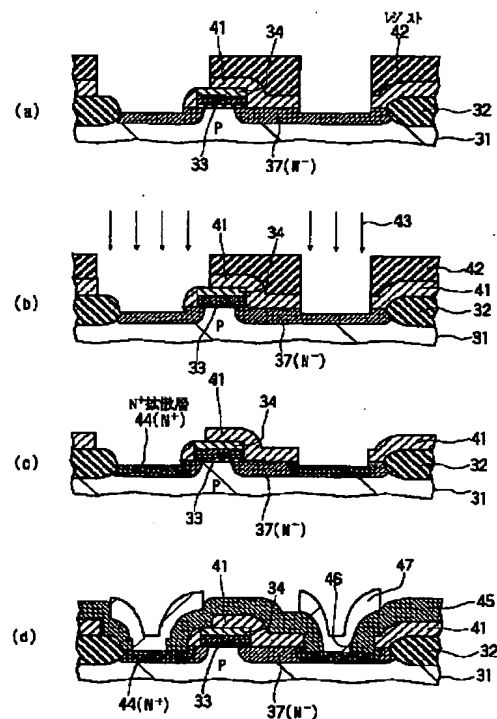
(74) 代理人 弁理士 土屋 勝

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 ドリフト拡散層の抵抗値のばらつきが小さくて特性のばらつきが小さいトランジスタを含む半導体装置を製造する。

【解決手段】  $\text{SiO}_2$  膜 41 をエッチングして、L D 構造のトランジスタのゲート電極であるポリサイド層 34 に、 $\text{SiO}_2$  膜 41 から成る側壁絶縁膜を形成する際に、少なくとも  $\text{N}^-$  拡散層 37 のうちでドリフト拡散層にすべき領域上に  $\text{SiO}_2$  膜 41 を残す。このため、側壁絶縁膜を形成しても、 $\text{N}^-$  拡散層 37 のうちでドリフト拡散層にすべき領域がエッチングされなくて、ドリフト拡散層の深さが変動しない。



## 【特許請求の範囲】

【請求項1】 ゲート電極に側壁絶縁膜を有する第1のトランジスタと、

前記側壁絶縁膜の幅よりも広い幅の相対的に低濃度のドリフト拡散層と、相対的に高濃度のソース／ドレイン拡散層とを有する第2のトランジスタとを含む半導体装置の製造方法において、

前記ゲート電極をマスクにして相対的に低濃度の拡散層を形成する工程と、

前記相対的に低濃度の拡散層を形成した後に絶縁膜を堆積させる工程と、

前記絶縁膜から前記側壁絶縁膜を形成すると共に、少なくとも前記相対的に低濃度の拡散層のうちで前記ドリフト拡散層にすべき領域上に前記絶縁膜を残す工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記ソース／ドレイン拡散層を形成するためのマスク層をマスクにして前記絶縁膜をエッチングすることによって、前記絶縁膜から前記側壁絶縁膜を形成すると共に前記ドリフト拡散層にすべき領域上に前記絶縁膜を残すことを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本願の発明は、LDD構造のトランジスタとドレイン耐圧が通常よりも高いトランジスタとを含む半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 図3、4は、LDD構造のトランジスタとドレイン耐圧が10～20V程度と通常よりも高い中耐圧のトランジスタとを含む半導体装置の製造方法の一従来例を示している。但し、図3、4にはLDD構造のトランジスタは図示されていない。この一従来例では、図3(a)に示す様に、Si基板11の表面にLOCOS法でSiO<sub>2</sub>膜12を形成して素子分離領域を区画する。

【0003】そして、SiO<sub>2</sub>膜12に囲まれている素子活性領域の表面にゲート酸化膜としてのSiO<sub>2</sub>膜13を形成し、ポリサイド層14でゲート電極を形成する。なお、Si基板11としてP型の基板を用いるか、Si基板11がP型でなければPウェルを形成する。

【0004】次に、図3(b)に示す様に、トランジスタの形成領域以外の領域を覆うレジスト15を形成し、ポリサイド層14、SiO<sub>2</sub>膜12及びレジスト15をマスクにして、 $1 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度のドーザ量でP<sup>+</sup>16をSi基板11にイオン注入する。そして、図3(c)に示す様に、レジスト15を除去した後にアニール処理を行って、P<sup>+</sup>16をイオン注入した領域にN<sup>-</sup>拡散層17を形成する。

【0005】次に、図3(d)に示す様に、SiO<sub>2</sub>膜

21をCVD法で全面に堆積させる。そして、SiO<sub>2</sub>膜21の全面をエッチバックすることによって、図4

(a)に示す様に、SiO<sub>2</sub>膜21から成る側壁絶縁膜をポリサイド層14に形成する。なお、SiO<sub>2</sub>膜21から成る側壁絶縁膜は、LDD構造のトランジスタのためのものであるが、中耐圧のトランジスタにも同時に形成される。

【0006】次に、図4(b)に示す様に、中耐圧のトランジスタにおけるドリフト拡散層の形成領域等を覆うレジスト22を形成し、このレジスト22、ポリサイド層14及びSiO<sub>2</sub>膜12、21をマスクにして、 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度のドーザ量でAs<sup>+</sup>23をSi基板11にイオン注入する。

【0007】次に、図4(c)に示す様に、レジスト22を除去した後にアニール処理を行って、As<sup>+</sup>23をイオン注入した領域にソース／ドレイン拡散層としてのN<sup>+</sup>拡散層24を形成する。

【0008】この結果、LDD構造のトランジスタでは、SiO<sub>2</sub>膜21下のN<sup>-</sup>拡散層17がLDD層になり、中耐圧のトランジスタでは、ポリサイド層14とN<sup>+</sup>拡散層24との間にあってレジスト22で覆われていたためにAs<sup>+</sup>23がイオン注入されなかった領域のN<sup>-</sup>拡散層17がドリフト拡散層になる。

【0009】次に、図4(d)に示す様に、層間絶縁膜25を形成し、N<sup>+</sup>拡散層24に達するコンタクト孔26を層間絶縁膜25に開孔し、コンタクト孔26を介してN<sup>+</sup>拡散層24に接続する金属配線27を形成する。そして、更に、表面保護膜(図示せず)等を形成して、この半導体装置を完成させる。

## 【0010】

【発明が解決しようとする課題】ところが、以上の様な一従来例では、LDD構造のトランジスタのために、SiO<sub>2</sub>膜21から成る側壁絶縁膜をポリサイド層14に形成するが、図4(a)からも明らかな様に、その際のSiO<sub>2</sub>膜21に対するオーバエッチングによって、N<sup>-</sup>拡散層17がエッチングされる。

【0011】そして、このN<sup>-</sup>拡散層17からドリフト拡散層が形成され、しかも、N<sup>-</sup>拡散層17のエッチング量が一定ではないので、ドリフト拡散層の深さが変動する。このため、上述の一従来例では、ドリフト拡散層の抵抗値のばらつきが大きくて、特性のばらつきが大きいためトランジスタを含む半導体装置しか製造することができなかった。

## 【0012】

【課題を解決するための手段】請求項1の半導体装置の製造方法は、ゲート電極に側壁絶縁膜を有する第1のトランジスタと、前記側壁絶縁膜の幅よりも広い幅の相対的に低濃度のドリフト拡散層と、相対的に高濃度のソース／ドレイン拡散層とを有する第2のトランジスタとを含む半導体装置の製造方法において、前記ゲート電極を

## 3

マスクにして相対的に低濃度の拡散層を形成する工程と、前記相対的に低濃度の拡散層を形成した後に絶縁膜を堆積させる工程と、前記絶縁膜から前記側壁絶縁膜を形成すると共に、少なくとも前記相対的に低濃度の拡散層のうちで前記ドリフト拡散層にすべき領域上に前記絶縁膜を残す工程とを具備することを特徴としている。

【0013】請求項2の半導体装置の製造方法は、前記ソース／ドレイン拡散層を形成するためのマスク層をマスクにして前記絶縁膜をエッチングすることによって、前記絶縁膜から前記側壁絶縁膜を形成すると共に前記ドリフト拡散層にすべき領域上に前記絶縁膜を残すことを特徴としている。

【0014】請求項1の半導体装置の製造方法では、絶縁膜から側壁絶縁膜を形成する際に、相対的に低濃度の拡散層のうちでドリフト拡散層にすべき領域上に絶縁膜を残しているの、側壁絶縁膜を形成してもドリフト拡散層にすべき領域がエッチングされなくてドリフト拡散層の深さが変動しない。

【0015】請求項2の半導体装置の製造方法では、ソース／ドレイン拡散層を形成するためのマスク層をマスクにして絶縁膜をエッチングをすることによって、相対的に低濃度の拡散層のうちでドリフト拡散層にすべき領域上に絶縁膜を残しているの、新たなマスク層を形成する必要がない。

## 【0016】

【発明の実施の形態】以下、LDD構造のトランジスタとドレイン耐圧が10～20V程度と通常よりも高い中耐圧のトランジスタとを含む半導体装置の製造に適用した本願の発明の一具体例を、図1、2を参照しながら説明する。なお、図1、2でもLDD構造のトランジスタは図示されていない。

【0017】本具体例では、図1(a)に示す様に、Si基板31の表面にLOCOS法でSiO<sub>2</sub>膜32を形成して素子分離領域を区画する。そして、SiO<sub>2</sub>膜32に囲まれている素子活性領域の表面にゲート酸化膜としてのSiO<sub>2</sub>膜33を形成し、ポリサイド層34でゲート電極を形成する。なお、Si基板31としてP型の基板を用いるか、Si基板31がP型でなければPウェルを形成する。

【0018】次に、図1(b)に示す様に、トランジスタの形成領域以外の領域を覆うレジスト35を形成し、ポリサイド層34、SiO<sub>2</sub>膜32及びレジスト35をマスクにして、 $1 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量でP<sup>+</sup>36をSi基板31にイオン注入する。そして、図1(c)に示す様に、レジスト35を除去した後アニール処理を行って、P<sup>+</sup>36をイオン注入した領域にN<sup>-</sup>拡散層37を形成する。

【0019】次に、図1(d)に示す様に、SiO<sub>2</sub>膜41をCVD法で全面に堆積させる。なお、ここまでの工程は、図3、4に示した一従来例と実質的に同じであ

## 4

る。しかし、本具体例では、その後、図2(a)に示す様に、中耐圧のトランジスタのドリフト拡散層の形成領域等を覆うレジスト42をフォトリソグラフィで形成し、このレジスト42をマスクにしてSiO<sub>2</sub>膜41をエッチバックする。

【0020】この結果、LDD構造のトランジスタにおけるポリサイド層34の両側と中耐圧のトランジスタにおけるポリサイド層34のソース側とに、SiO<sub>2</sub>膜41から成る側壁絶縁膜が形成される。しかし、中耐圧のトランジスタにおけるドリフト拡散層の形成領域つまりポリサイド層34のドレイン側には、側壁絶縁膜が形成されなくて、SiO<sub>2</sub>膜41がそのまま残る。

【0021】次に、図2(b)に示す様に、レジスト42を残したまま、このレジスト42、ポリサイド層34及びSiO<sub>2</sub>膜32、41をマスクにして、 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度のドーズ量でAs<sup>+</sup>43をSi基板31にイオン注入する。

【0022】次に、図2(c)に示す様に、レジスト42を除去した後アニール処理を行って、As<sup>+</sup>43をイオン注入した領域にソース／ドレイン拡散層としてのN<sup>+</sup>拡散層44を形成する。

【0023】この結果、LDD構造のトランジスタでは、SiO<sub>2</sub>膜41下のN<sup>-</sup>拡散層37がLDD層になり、中耐圧のトランジスタでは、ポリサイド層34とN<sup>+</sup>拡散層44との間にあってレジスト42で覆われていたためにAs<sup>+</sup>43がイオン注入されなかった領域のN<sup>-</sup>拡散層37がドリフト拡散層になる。

【0024】次に、図2(d)に示す様に、層間絶縁膜45を形成し、N<sup>+</sup>拡散層44に達するコンタクト孔46を層間絶縁膜45に開孔し、コンタクト孔46を介してN<sup>+</sup>拡散層44に接続する金属配線47を形成する。そして、更に、表面保護膜(図示せず)等を形成して、この半導体装置を完成させる。

【0025】以上の様な具体例では、LDD構造のトランジスタのために、SiO<sub>2</sub>膜41から成る側壁絶縁膜をポリサイド層34に形成するが、図2(a)からも明らかな様に、その際のSiO<sub>2</sub>膜21に対するオーバエッチングによって、N<sup>-</sup>拡散層37のうちで露出している領域がエッチングされる。

【0026】しかし、図2(c)からも明らかな様に、N<sup>-</sup>拡散層37がエッチングされた領域には後にN<sup>+</sup>拡散層44が形成され、一方、図2(a)からも明らかな様に、N<sup>-</sup>拡散層37のうちでドリフト拡散層になる領域はSiO<sub>2</sub>膜41及びレジスト42に覆われていてエッチングされない。従って、この具体例では、ドリフト拡散層の深さが変動しなくて、ドリフト拡散層の抵抗値のばらつきが小さい。

【0027】しかも、上述の具体例では、As<sup>+</sup>43をイオン注入する際のマスクにするレジスト42をマスクにしてSiO<sub>2</sub>膜41をエッチングをすることによ

## 5

て、 $N^-$  拡散層 37 のうちでドリフト拡散層にすべき領域上に  $SiO_2$  膜 41 を残しているの、新たなレジストを形成する必要がない。

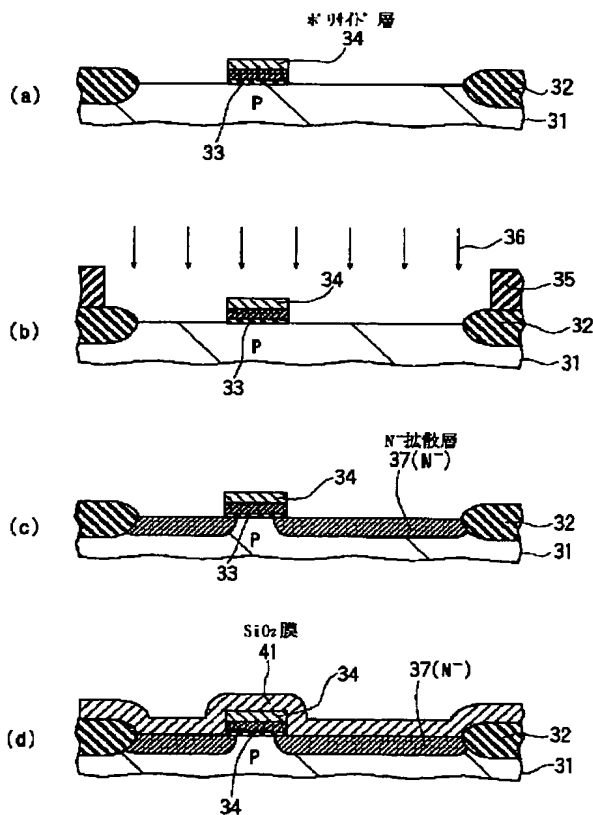
【0028】なお、以上の具体例は、LDD構造のトランジスタとドレイン耐圧が10～20V程度である中耐圧のトランジスタとを含む半導体装置の製造に本願の発明を適用したものであるが、LDD構造のトランジスタとドレイン耐圧が更に高い高耐圧のトランジスタとを含む半導体装置の製造にも本願の発明を当然に適用することができる。

## 【0029】

【発明の効果】請求項1の半導体装置の製造方法では、側壁絶縁膜を形成してもドリフト拡散層にすべき領域がエッチングされなくてドリフト拡散層の深さが変動しないので、ドリフト拡散層の抵抗値のばらつきが小さくて特性のばらつきが小さいトランジスタを含む半導体装置を製造することができる。

【0030】請求項2の半導体装置の製造方法では、相対的に低濃度の拡散層のうちでドリフト拡散層にすべき領域上に絶縁膜を残すために新たなマスク層を形成する

【図1】



## 6

必要がないので、製造コストを増大させることなく、ドリフト拡散層の抵抗値のばらつきが小さくて特性のばらつきが小さいトランジスタを含む半導体装置を製造することができる。

## 【図面の簡単な説明】

【図1】本願の発明の一具体例の前半の工程を示す側断面図である。

【図2】本願の発明の一具体例の後半の工程を示す側断面図である。

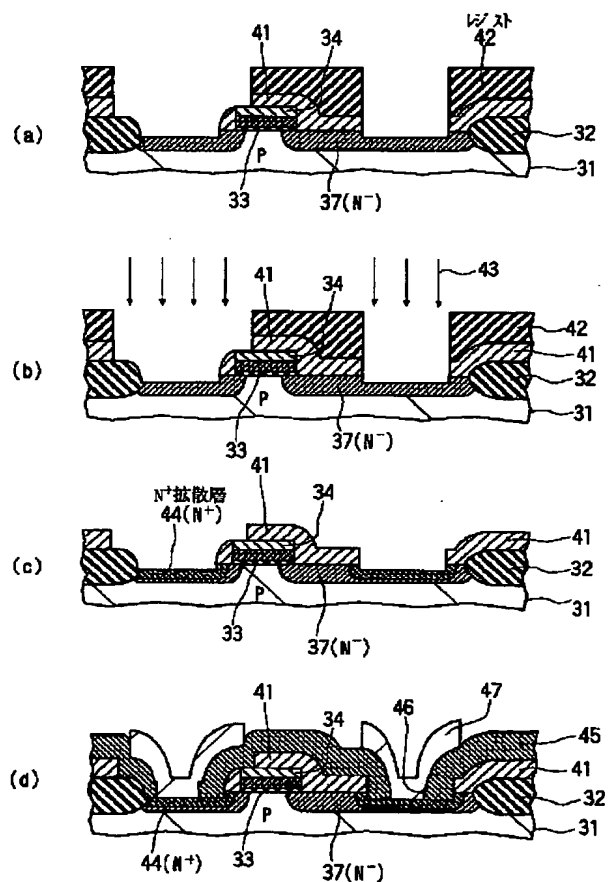
10 【図3】本願の発明の一従来例の前半の工程を示す側断面図である。

【図4】本願の発明の一従来例の後半の工程を示す側断面図である。

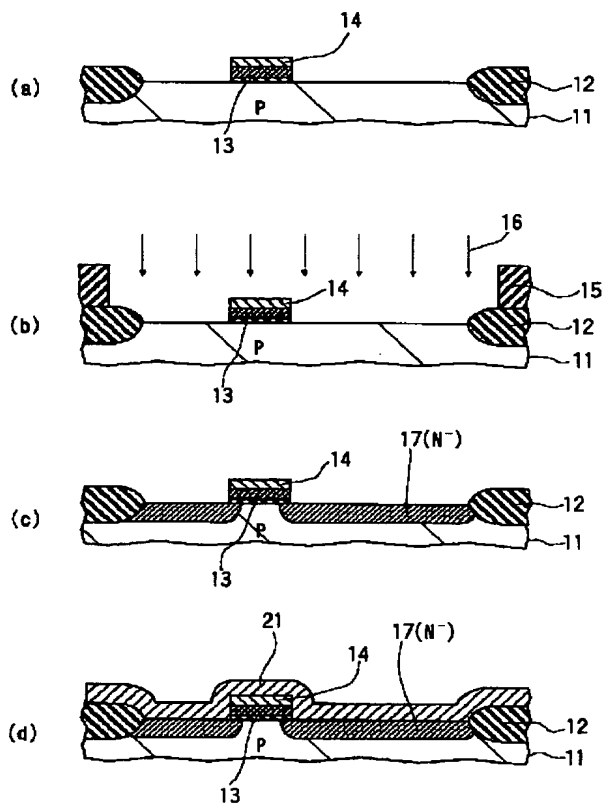
## 【符号の説明】

- 34 ポリサイド層
- 37  $N^-$  拡散層
- 41  $SiO_2$  膜
- 42 レジスト
- 44  $N^+$  拡散層

【図2】



【図 3】



【図 4】

